

EPCのデバイス・モデルを使った回路シミュレーション



Robert Beach, Aydin Babakhani and Robert Strittmatter; Efficient Power Conversion Corporation

2026年4月13日改訂

EPCのエンハンスメント・モード窒化ガリウム (eGaN[®]) のパワー・トランジスタは、優れた熱特性を備え、スイッチング速度と導通損失においてシリコンのパワー MOSFET を超える卓越した性能を提供する新世代のパワー・スイッチです。精度の高い回路とデバイス・モデルは、新しい回路構成を開発し、設計をうまく構築し、市場投入までの時間を短縮するための価値あるツールです。このホワイト・ペーパーでは、EPCのデバイス・モデルの状況と使用について説明し、EPCのeGaN デバイスを回路モデルに組み込むときの重要な考慮すべきことを示します。

現在のモデルの状況

何年もの改良が、シリコン・パワー MOSFET のデバイス・モデルの開発に施されました。初期の試みは、おおよその形状の関数、次数の大きい多項式、または単純なルックアップ・テーブルによるデバイス動作の適合に基づいていました。最近の傾向は、基本的な基礎となる物理学 (困難な作業) から多次元静電条件を解くことに向かっていますが、このアプローチを使うと、最終的なソリューションの大幅な簡素化が実現できます。GaN の SPICE モデルの開発に関して発表された論文はわずかです。さらに、GaN には、自発分極や圧電による分極などの多くの新しい特性があり、物理ベースのモデルに組み込まれるようになったのはごく最近のことです。このホワイト・ペーパーで紹介する EPC の V091 モデルは、物理学に基づいた現象論的な機能を組み合わせたもので、許容可能なシミュレーションと収束特性を備えたコンパクトな Spice モデルを実現します。伝導率としきい値のパラメータの温度効果も含まれています。量子ベースの効果は組み込まれていませんが、このモデルは回路動

作条件の下でのデバイスの基本的な応答を正確に再現します。電界に依存する移動度とゲート注入電流を含む多くの改良を開発中です。これらの改良、およびその他の改良を施したモデルは、EPC のウェブサイト (www.epc-co.com) から定期的に入手できるようにする予定です。

EPCのGaNパワー・トランジスタとモデルの構造

EPC の eGaN パワー・トランジスタの動作は、従来のエンハンスメント・モードのシリコン・パワー MOSFET とよく似ています。EPC の eGaN FET の基本構造が下の図1です。

ゲート (G)、ソース (S)、ドレイン (D) の各端子は、シリコン・パワー MOSFET の場合と同じように定義されます。ゲートとソースの間のしきい値よりも高い正の電圧がデバイスをオンにし、しきい値よりも低い電圧がトランジスタをオフにします。電子発生層は、ゲートがアクティブになったとき、ドレインからソースに電流を導くチャネルを提供するために組み込まれています。いったんオンすると、デバイスはドレインからソースへ、また

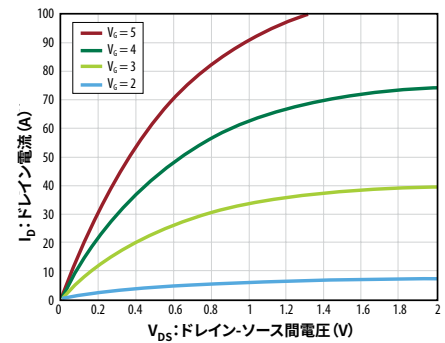
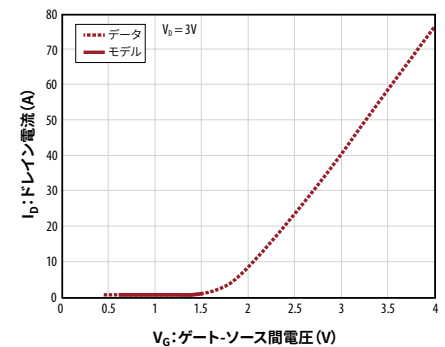


図2: EPC1001のデバイス・モデルの伝送曲線と出力曲線

はその逆のいずれかの方向に電流を流すことができます。

デバイスの直流電流特性は、レベル3のMOSFETモデルと同様に実装されています。非線形電流応答は、ゲートからソースへの電圧に依存する飽和電流と、ドレインからソースへの電圧に依存するシェーピング関数の積としてモデル化されます。しきい電圧以下の領域は、回路内のデバイスの負のドレイン・バイアス動作において重要な役割を果たすため、この領域の精度に対するいくつかの改善が含まれています。図2は、このモデルのデバイスの伝送特性と出力特性の例を示しています。

標準的なシリコン MOSFET とは異なり、eGaN ベースのデバイスには、ゲートの下にソース接続された p 型領域がありません。p 層の代わり

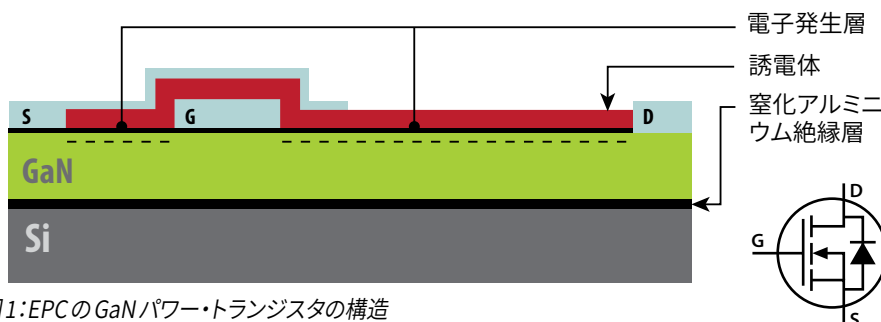


図1: EPCのGaNパワー・トランジスタの構造

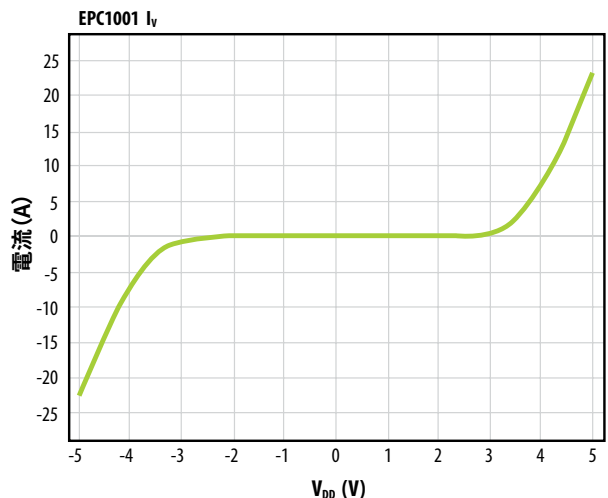


図3: $V_{DD}/2$ における V_G に対する順方向電流と逆方向電流。デバイスの対称性を示しています。

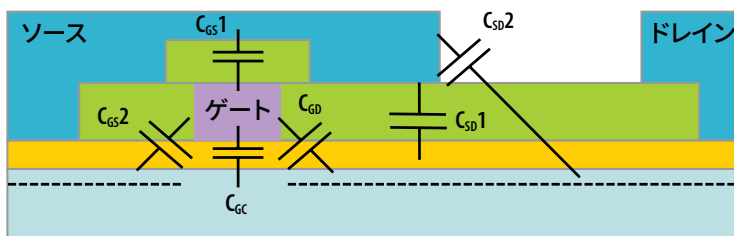


図4:容量要素の概略図

に、GaNの高絶縁層があります。この違いは、デバイスの導通特性に興味深い特徴をもたらします。これは、ほぼ対称です。ゲートからドレインへの正の電圧がチャネルを形成し、同様にゲートからソースへの正の電圧もチャネルを形成します。デバイス・モデルは、2つの並列FETを反対方向に接続することでこれを考慮します(つまり、最初のFETのソースが2番目のFETのドレインに接続され、その逆も同様です)。図3は、EPC1001の順方向出力曲線と逆方向出力曲線です。順方向と逆方向の主な違いは、拡張されたドレイン側チャネルに追加した直列抵抗による飽和電流の減少です。各FETは、一度に1個だけが回路に寄与するように、ドレイン-ソース間電圧のステップ関数による順方向状態での動作に制限されます。

容量モデルが開発され、基礎となるデバイスの幾何に基づいたデータに合わせ込みました。図4は、このモデルで使われている集中定数のコンデンサ要素の物理的な位置を示しています。これらの要素は、チャネル層の空乏特性をモデル化するために、電圧依存機能と並列に接続さ

れた一定の金属間容量とで構成されています。図に示すのは:

- C_{GS1} 、ゲート金属とソース金属とのフィールド・プレート容量
- C_{GS2} 、ゲート金属とソース側チャネルの容量
- C_{GD1} 、ゲートとドレイン側ドリフト領域の容量
- C_{SD1} 、フィールド・プレート下のソースとドリフト領域との容量
- C_{SD2} 、ソースとドリフト領域とのフリンジ容量
- C_{GC} 、ゲートとチャネルとの容量

C_{GS1} 、および図に示されていない他の金属間容量は定数として扱われ、測定された容量対電圧のデータを使って適合しました。 C_{SD1} は並列MOSコンデンサのガウス分布としてモデル化され、 C_{SD2} はフィールド・プレートのエッジからの空乏幅に依存するフリンジ容量です。ゲートとチャネルの間の容量 C_{GC} も同様に扱われます。ただし、この静電の割り当て量は、注意が

必要です。デバイスの対称性のため、チャネル容量は、ノード条件に依存するゲートとソースの間、ゲートとドレインの間、またはその分割になります。この実例の1つは、バック・コンバータのデッドタイム中にドレインが負に振れる場合です。ドレインがしきい電圧 V_{th} を超えて振れると、ゲートとドレインの間の容量が大きくなり、ゲートとチャネルの間の容量が満たされます。eGaNデバイスの非線形容量特性は、測定された容量対電圧のデータへの半経験的適合を使ってモデル化します。高次多項式を使うのではなく、このモデルには、シグモイド(またはフェルミ)関数の合計を使います。これらの関数は、データにほぼ適合し、シミュレーション中の安定性と収束特性が向上します。付録Aには、参照用にEPC2001のLTSPICEモデルのコピーが含まれています。3つのコンデンサのモデル関数(C_{GS} 、 C_{GD} 、 C_{SD} の符号が付いている)の式は、モデル・リストの下部に表示されます。最新のSPICEシミュレータに組み込まれている動作モデリングを利用するために、非線形容量が電圧依存の充電源として実装されています。

図5に示すように:

- 1) ドレイン電流(I_D): I_D は、内部ノードD、G、Sの非線形関数です。 $V_D > V_S$ の場合: $I_D > 0$ 、 $V_D < V_S$ の場合: $I_D < 0$
- 2) ゲート-ソース間容量(C_{GS}): C_{GS} は内部ノードD、G、Sの非線形関数です。
- 3) ゲート-ドレイン間容量(C_{GD}): C_{GD} は内部ノードD、G、Sの非線形関数です。
- 4) ドレイン-ソース間容量(C_{DS}): C_{DS} は、内部ノードDとSの非線形関数です。
- 5) ドレインの寄生抵抗(R_D): R_D はデバイスとパッケージの寄生抵抗に依存する一定の抵抗です。
- 6) ソースの寄生抵抗(R_S): R_S は、デバイスとパッケージの寄生抵抗に依存する一定の抵抗です。
- 7) ゲートの寄生抵抗(R_G): R_G は、デバイスとパッケージの寄生抵抗に依存する一定の抵抗です。

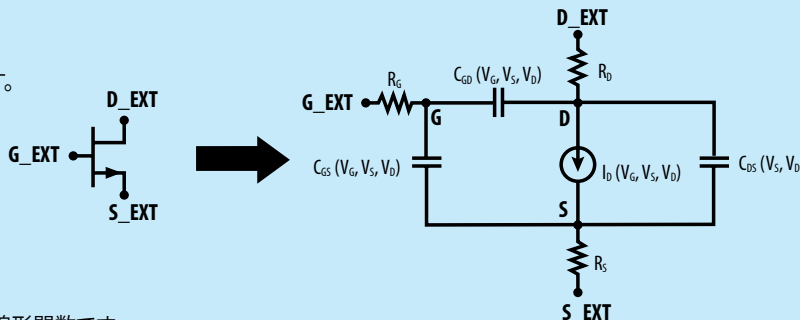


図5:EPCのGaNモデル

非線形コンデンサと電流源を組み合わせ、デバイスの時間依存の電氣的動作を生成します。デバイスの回路図が図5です。主な部品は、電圧制御型電流源 I_D 、非線形コンデンサ C_{GD} 、 C_{GS} 、 C_{SD} 、入力抵抗 R_S 、 R_D 、 R_G です。

モデルの使用

各デバイス・モデルは、SPICE で記述されたサブ回路として提供されます。このモデルは、SPICE の.subckt コマンドを使って定義され、SPICE ネットリストに直接コピーするか、.include コマンドを使って SPICE シミュレータにロードできます。

例:

```
.include (directorypath)/EPC1001_V091.sp
```

```
XEPC1001_1 drain gate source EPC1001
```

上記の例では、ディレクトリ・パスは、モデルのファイルが保存された場所であり、ファイルが SPICE コンパイラのデフォルトのモデル・フォルダにある場合は省略できます。XEPC1001_1 は、任意の名前で、開始文字が「X」の場合があります。このモデルでは、最初のノードがドレイン・ノード、2番目のノードがゲート・ノード、3番目のノードがソース・ノードであると仮定しています。以下は、図3に示すデータを生成するために使われる SPICE ネットリストです。このシミュレーションは、デバイスに接続された3つの抵抗と1つの電圧源で構成されます。Rsgrd は、電流を調べるために使われる小さな抵抗で、Rgs は、ゲート・ノードとソース・ノードの間に接続され、Rgd はゲート・ノードとドレイン・ノードの間に接続されます。これらの抵抗を使って分圧器を形成し、ゲート電圧をドレイン電圧の半分に設定します。V_{dd} はドレインと接地（グラウンド）の間に接続されます。直流分析は、V_{DD} 電圧を-5から5Vまで0.05Vステップで変化させて実施し、Rsgrd を流れる電流は、.print コマンドを使ってプロットするために送信されます。

回路例と比較

デバイス・モデルと回路の考察の実証として、単純な回路を作成し、デバイスの特性をモデルによって予測されたものと比較するためにテストをしました。

この回路は、被試験デバイス DUT から電圧源を絶縁するために使われる 10 kΩ の抵抗を介して 13 μF のコンデンサを充電する電圧源で構成されています。この FET は 5 V のパルスで駆動され、コンデンサは 0.8 Ω の抵抗と、0.1 Ω の浮遊抵抗があるデバイスを介して放電されます。特に興味深いことは、ゲート側とドレイン側のインダクタンスです。回路に意図的に追加されたわけではありませんが、プリント回路基板の浮遊インダクタンスは回路の動作に重要な役割を果たします。図6は、GaN 部品のスイッチング時間が短い

* テスト回路

```
.include EPC1001subckt_V091.sp
XEPC1001_1 drain gate source EPC1001

Rsgrd source gnd .0001
Rgs gate source 100
Rgd gate drain 100

Vdd drain gnd
.dc Vdd -5 5 .05
.print dc I(Rsgrd)
```

*ファイル EPC1001subckt_V091.sp 内にテキストが含まれます
*EPC1001 の例では、ドレイン、ゲート、ソースの各ノードの間に配置されます
*ソースとグラウンドの間の抵抗
*ゲートとソースの間の抵抗
*ゲートとドレインの間の抵抗
*電圧源はドレインとグラウンドの間に設定されています
*0.05 V ステップで-5 V から 5 V までの V_{dd} の直流ソリューションの要求
*プロットするために、直流ソリューションから Rsgrd の電流を送信します

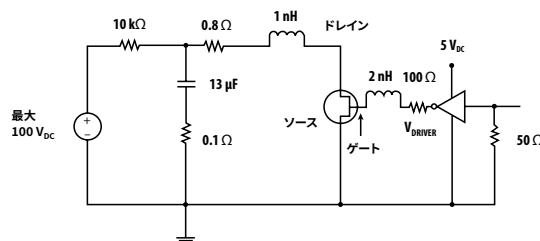


図6: デモ回路1番の回路図

*最初の行(最初の行は SPICE によって常に無視されます)

```
.include EPC1001subckt_V091.sp
Rin in 10k
Cap1 1 2 3 13u

Resr 3 Gnd .1
RI2 2 4 .8
LI2 4 drain .6n

XEPC1001_1 drain gate source EPC1001
Ls source source2 .3n
Rs source2 Gnd .001
Ldrive gate drive1 2n
```

```
Rdrive drive1 drive .1
```

*青色の行のコメントを外して実行すると、回路の直流の開始ソリューションでファイルが生成されます
*大きな電源コンデンサの充電をシミュレーションします。これには時間がかかり、1回だけ実行する必要があります
*青色の行を再コメントし、緑色の行のコメントを外します
*これで、ファイルを実行する準備ができました

```
*VIN in Gnd pulse(0 12 0 10u 10u 1001m 1002m)
```

```
*VIN in Gnd 12
```

```
*VDriver_1 drive Gnd 0
```

```
*VDriver_1 drive Gnd pulse(0 5 100n 2n 6n 150n 300n)
```

```
*save file=testboardnodesetv1 type=nodeset time=1000m
```

```
*.load file=testboardnodesetv1
```

```
.print tran v(gate,source) v(drain,source)
```

```
***** シミュレーション設定:解析セクション *****
```

```
.op
```

```
*tran 10u 1000m
```

```
*tran 1n 300n
```

```
***** シミュレーション設定:追加の SPICE コマンド *****
```

```
.end
```

* デバイス・モデルを含める
* 入力電圧と回路の他の部分との間の絶縁抵抗
* ノード2とノード3の間のコンデンサは、デバイスがオンする時に電流供給源として使います
* コンデンサとプリント回路基板の寄生抵抗
* コンデンサとデバイスの間の主な抵抗
* プリント回路基板から回路内の浮遊インダクタンス。この値を変更して、スイッチングへの影響を確認できます。
* EPC1001 デバイスのリファレンス
* ソース側インダクタンスも変更可能
* ソース側のプリント回路基板の小さい抵抗
* スwitching に対するドライブ側インダクタンスの影響を見るために変化させることができるゲートのループ・インダクタンス
* 追加したドライバの抵抗

* (最初の実行ではこのコメントを外します)

* (他の実行ではこのコメントを外します)

* (最初の実行ではこのコメントを外します)

* (他の実行ではこのコメントを外します)

* (最初の実行ではこのコメントを外します)

* (他の実行ではこのコメントを外します)

* (最初の実行ではこのコメントを外します)

* (他の実行ではこのコメントを外します)

場合、小さなインダクタンスでさえも発振する可能性に影響することを示しています。入力電圧よりも大きい振幅の電圧リングは、2 nH以下のドレインのループ・インダクタンスによって発生します。SPICEコードの例も示します。これを使って、この単純な回路のスイッチング波形に対するプリント回路基板のトレースとパッドの浮遊インダクタンスと抵抗の影響を調査できます。この例を使うには、まず青色の行のコメントを外して実行します。これは、大きなサプライ・コンデンサの充電をシミュレーションし、ソリューションを含むノード・セット・ファイルを作成します。これによって、後でスイッチングのシミュレーションを実行するために必要な時間が短縮されます。次に、青色の行を生かして、緑色のテキストの行のコメントを外します。これで、このファイルは回路のスイッチングをシミュレーションする準備ができました。ゲート駆動の立ち上がり時間、ドレイン側、ゲート側、ソース側の寄生インダクタンス、各種抵抗を変更することで、回路性能への影響を見ることができます。

デモ回路のシミュレーション結果を比較すると、測定値との妥当な相関関係が示されています。完璧ではありませんが、オーバーシュートとリングは定性的に再現されます。図8は、測定およびシミュレーションされた回路の時間に対するゲート電圧とドレイン電圧です。

遅延線

多数のeGaN FETを使ったシミュレーションの例は、図9に示す遅延線です。FETのEPC2001と直列に接続されたプルアップ抵抗が1段のインバータ段を形成します。その後、これらの複数段がカスケード接続されます。最初の段のゲートでの入力パルスは、線路を伝搬するので、各段は遅延時間の原因となります。

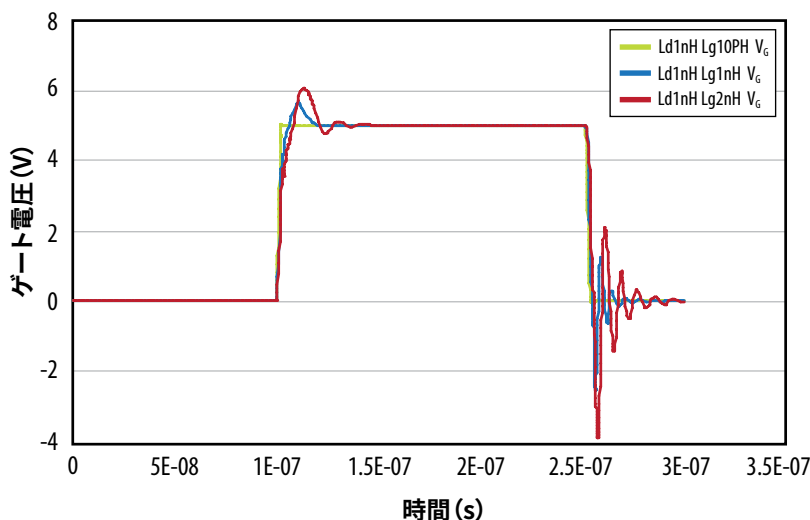
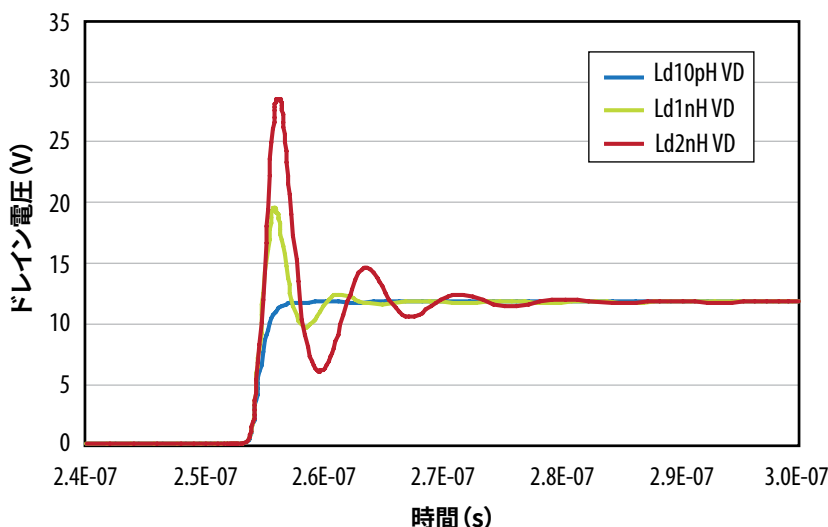


図7: A) ドレイン・ノードの振動とさまざまな浮遊インダクタンス・レベルの比較。
B) ゲート・ノードの振動とゲートの浮遊インダクタンス。

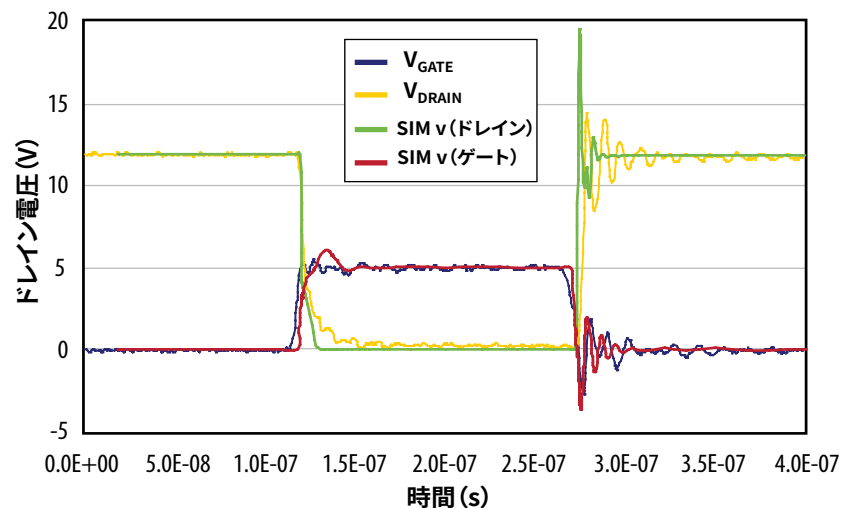


図8: デモ回路1のシミュレーションと測定の比較

```
.step param AR list 0.1 0.5 1.0
.tran 1E-6
.meas tran tcross when V(n012) = 2.5 fall=1
.meas tran tref when V(n002) = 2.5 fall=1
.meas tran tdelay param tcross-tref
```

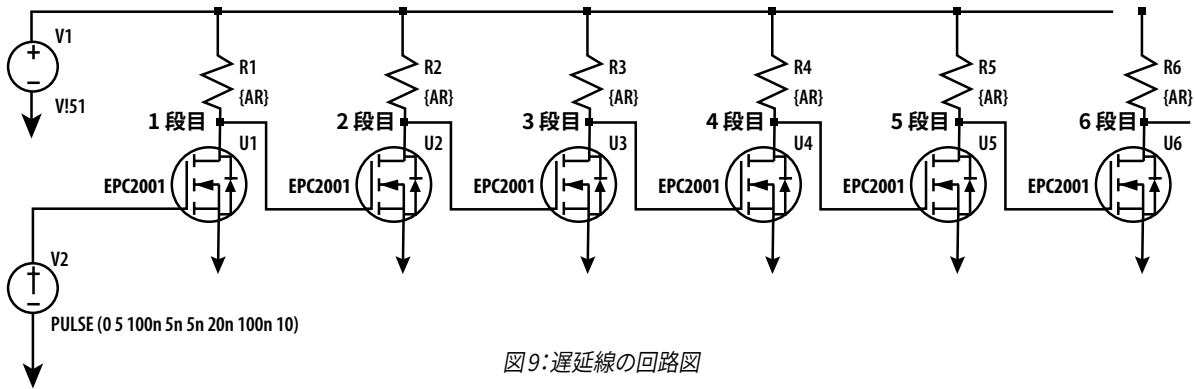


図9:遅延線の回路図

回路図では30段ありますが、すべてが図に示されているわけではありません。遅延線への共通ドレイン電圧は5Vに設定しました(電圧源V1)。5Vのパルス列(発生源V2)が最初のゲートに送信され、過渡解析が実行されて、線路を伝わるパルスをシミュレーションします。シミュレーションの安定性の観点から、注目に値する入力パルスの2つの機能があります。1つ目は、立ち上がり/降下時間が5 nsに指定されていることです。急峻な遷移の代わりにゲート駆動信号に有限のスルーレートをを使うと、シミュレーションの収束が改善されます。2番目は、最初のパルスの前に100 nsのオフセットが指定されています。この遅延は、信号が変化する前にシミュレータが安定した直流定常状態のソリューションに到達できるようにすることで、収束を助けます。これらの「ソフト・スタート」

を両方とも実施することは、一般的に、回路シミュレーションに推奨されますが、特にトランスコンダクタンスが比較的高いeGaN FETに推奨されます。

この例では、".meas"コマンドを使って、11段目と1段目のノード電圧が降下エッジで2.5Vと交差する時間を検出します。次に、これらの時間を使って、最初の10段の遅延時間を計算します。図10(a)は、プルアップ抵抗のさまざまな値に対する電圧と時間の関係です。青色の破線は最初の段を示し、他の曲線は11段目を示します。抵抗値が大きいと、電圧の立ち上がり時間が遅くなり、茶色の曲線(1Ω)のように、急峻な遷移はありません。ピンク色のトレース(0.1Ω)に見られるように、デバイスがオンのとき、小さなプルアップ抵抗は、抵抗分割器となり、ノード電

圧がゼロでなくなります。図10(b)は、段ごとの遅延時間とプルアップ抵抗値の関係のグラフで、EPC2001で達成できる高速スイッチング速度を示しています。

この例では、多数のeGaN® FETを使ってシミュレーションした結果を示します。これらのデバイスの固有の特性によって、部品のモデルは、SPICEに組み込まれたパラメータ化されたトランジスタ・モデル(MOSFET、MESFET、JFETなど)を利用できません。その代わりに、eGaNモデルには、詳細な測定に適合する専用の数式が含まれています。この結果、部品モデルのシミュレーションは、従来のトランジスタよりも遅くなるのが予想されます。ただし、部品点数が多い場合でも、妥当な時間でシミュレーション結果を得ることができます。

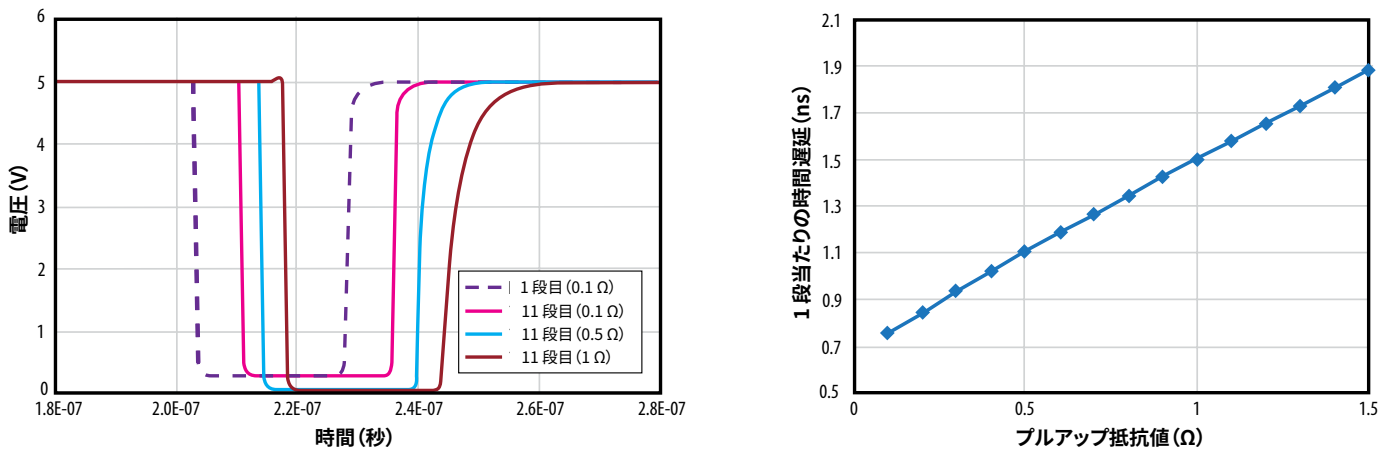


図10: (A) 1段目と11段目のシミュレーションした遅延線の電圧。異なる色は、遅延線で使われるプルアップ抵抗値のさまざまな値に対応しています。(B) プルアップ抵抗値に対する段ごとの遅延時間。

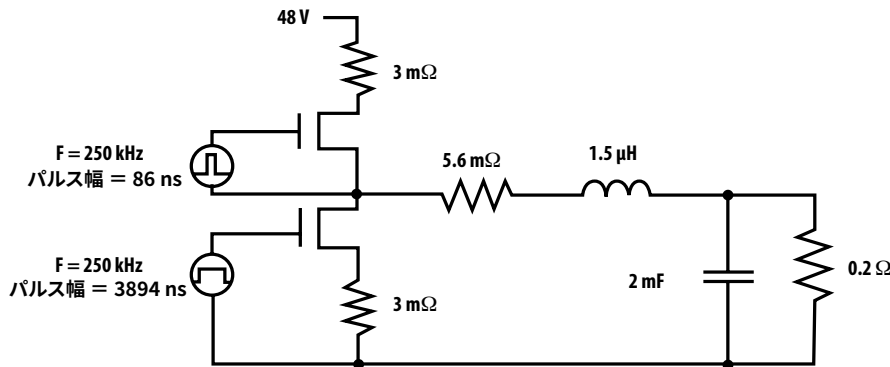


図 11:昇降圧型コンバータの回路図

この SPICE コードでは、安定性を向上させるために Gear のオプションの方法を使っています。Gear 法の詳細については、付録 B を参照してください。SPICE コードで使われる .measure コマンドは、供給された負荷電力と全直流電力を計算します。これらの値は、過渡シミュレーションの完了後、.out ファイルの最後にあります。このシミュレーションに基づくと、出力直流電力は 5.35 W、全入力直流電力は 6.12 W、変換効率は 87% です。この回路で測定された効率は 85.9% で、シミュレーション値とよく一致しています。この回路で測定された効率は 85.9% で、シミュレーション値とよく一致しています。図 13 は、出力電流レベルの範囲にわたる上記の変換効率のグラフです。第 1 世代のデバイス・モデルでは、シミュレーションされた効率と測定された効率は非常によく一致しています。これらの結果は、EPC の eGaN FET の優れた性能を示しています。48 V 入力、1 V 出力のコンバータで 85% を超える効率は、最先端のシリコンの能力をはるかに超えています。

250 kHz での 48 V 入力、1.0 V 出力、5 A のコンバータのシミュレーション例

図 11 に、この昇降圧型コンバータの回路図を示します。プリント回路基板のトレース、コイル、パッケージの抵抗を考慮して、いくつかの寄生抵抗が追加されています。次の SPICE スクリプトを使って、この回路をシミュレーションします。

*最初の行

```
.include EPC860subckt_V091.sp
```

***** シミュレーション設定:パラメータと SPICE のオプション *****

```
XEPC860_1 VS GateLow sLow EPC860
```

*同期整流用 Fet の大きなチップ

```
XEPC199_1 IN GateHigh VS EPC199
```

*制御用 Fet の小さなチップ

```
rstab1 IN VS 1MEG
```

*収束しやすくする安定化抵抗

```
VIN IN1 Gnd DC 48
```

*入力電圧

```
rpachigh IN1 IN .003
```

*ハイサイドのプリント回路基板の抵抗

```
VDriver_1 GateLow2 Gnd PULSE(0 5 0 5n 5n 3892n 4u)
```

*ゲート・ドライバ ローサイド

```
VDriver_2 GateHigh2 VS PULSE(0 5 3899n 5n 5n 88n 4u)
```

*ゲート・ドライバ ハイサイド

```
rpaclow sLow GND .003
```

*プリント回路基板の抵抗 ローサイド

```
LgLow GateLow GateLow2 .01n
```

*ゲートのインダクタンス ローサイド

```
LgHigh GateHigh GateHigh2 .01n
```

*ゲートのインダクタンス ハイサイド

```
RL1 VS VS2 .0056
```

*コイルの抵抗

```
L1 VS2 VO 1.5u
```

*出力コイル

```
C1 VO Gnd 2000u
```

*出力コンデンサ

```
Rload VO Gnd .2
```

*負荷抵抗

```
.PRINT TRAN 'V(VS)-V(Gnd)'
```

```
.PRINT TRAN V(VO)
```

```
.PRINT TRAN '-(i(VIN))'
```

```
.PRINT TRAN 'V(GateHigh)-V(VS)'
```

```
.PRINT TRAN V(GateLow)V(GateHigh,VS)
```

```
.measure tran dcpower avg '-(i(VIN))*v(IN)+(VDriver_1)*v(GateLow2)+(VDriver_2)*v(GateHigh2)-v(VS))' from=500u to=750u
```

```
.measure tran Loadpower avg 'i(Rload)*v(Rload)' from=500u to=750u
```

***** シミュレーション設定:解析セクション *****

```
.op
```

```
.tran 1n 760u
```

***** シミュレーション設定:追加の SPICE コマンド *****

```
.options method = gear
```

```
*.options rmax = .1
```

```
*.options abstol=1e-10
```

```
*.options reltol=1e-5
```

```
.end
```

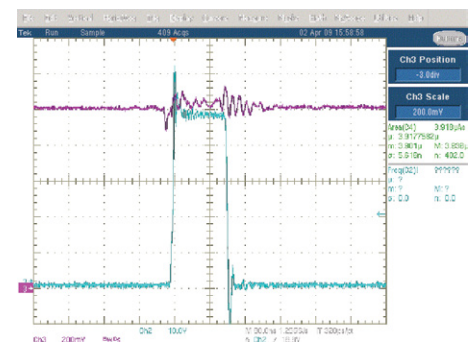
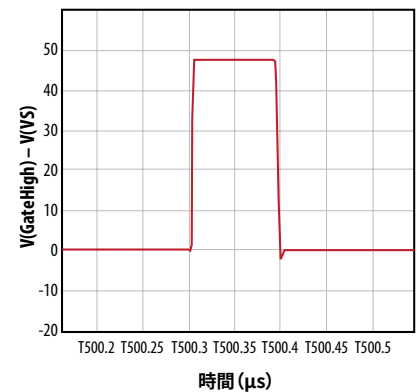


図 12:スイッチ・ノード電圧対時間の関係。

a) は 48 V 入力、1 V 出力のバック・コンバータのシミュレーション、
b) は 48 V 入力、1 V 出力のバック・コンバータの動作中のスイッチ・ノード電圧と出力電圧の測定データ。

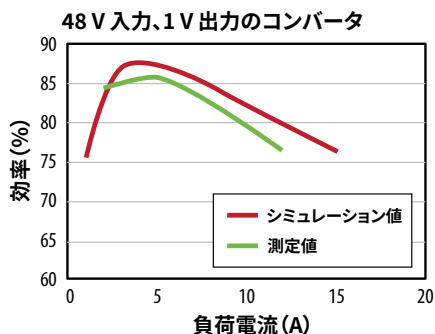


図13:48 V入力、1 V出力のコンバータのシミュレーションした効率と測定した効率の比較

図15は、デバイスEPC2015のさまざまなバイアス状態のシミュレーションしたfTを示しています。見て分かるように、fTは2.5 Vに近いゲート-ソース間電圧で最大値が10 GHzを超えます。ここで開発され、提示されたモデルは、この高周波範囲での精度についてテストされていません。さらに、パッケージングとプリント回路基板のレイアウトが、GHz帯の回路特性に大きな影響を与えます。RFのデバイス・モデルを現在開発中で、まもなく利用可能になる予定です。このネットリストの動作は、最初の検査でやや混乱する可能性があります。2つの「.step」コマンドによって、SPICEはゲート-ソース間（「V_{GS}」）とドレイン-ソース間（「V_{DS}」）の値のマトリックスを反復処理します。バイアス状態ごとに、1 kHz～50 GHzの範囲で交流分析が実行されます（周波数の対数ステップを使用）。「.measure」コマンドは、単一の周波数掃引の出力で動作します。これは、ゲート電流とドレイン電流が交差する周波数を決定します（つまり、交流電流の大きさが等しくなります）。シミュレーションの最後に、fT値をLTSPICE出力ログから抽出できます。fT値は、各測定の直流バイアス値の横に表形式でリストされています。

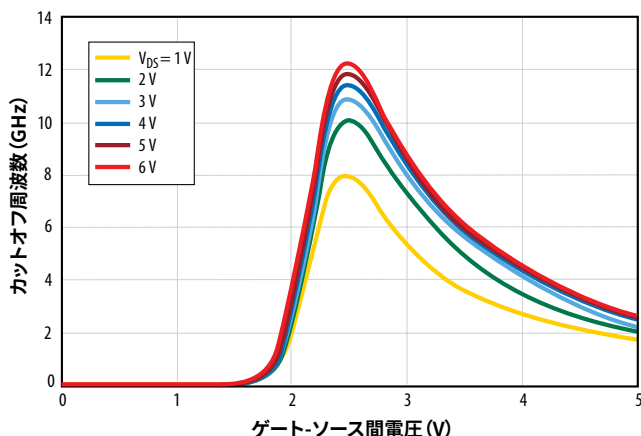


図15: (左) V_{DS} = 1, 2, 3, 4, 5, 6 VのときのV_{GS}に対するシミュレーションされたカットオフ周波数。(右) V_{GS} = 2.0~2.5 VのときのV_{DS}に対するカットオフ周波数 (EPC2015)。

EPCのeGaNデバイスのカットオフ周波数のシミュレーションの例

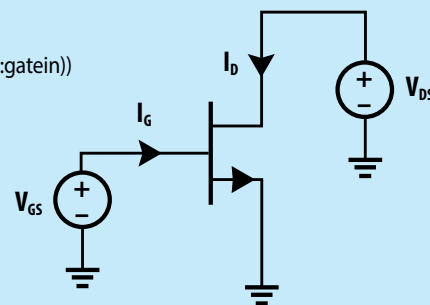
図14は、カットオフ周波数のシミュレーションに使った回路図です。トランジスタのカットオフ周波数 (fT) は、電流利得が1になる周波数です。この周波数では、ゲートとドレインの交流電流の大きさは等しくなります。以下のLTSPICE ネットリストは、部品EPC2015を使ってこの回路をシミュレーションするために使いました。

```
XU1 N002 N001 0 EPC2015
VGS N002 0 2.2 AC 0.1 Rser=0.0
VDS N001 0 1 Rser=0
.ac dec 50 1E3 5E10
.measure ac fT when mag(Ix(U1:drainin))=mag(Ix(U1:gatein))
.step VGS 2 2.6 0.1
.step VDS 0.0 10 0.1

.lib EPCGanlibrary.lib

.end
```

図14:カットオフ周波数の測定の回路図



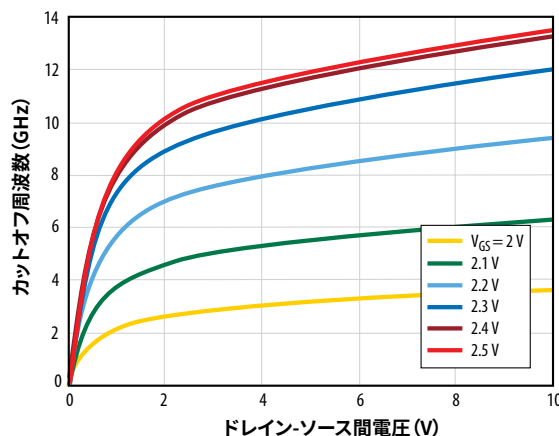
RFインピーダンス・マッチングのシミュレーション

RFアプリケーションでの一般的な問題は、トランジスタの入力インピーダンスをゲート駆動回路の特性インピーダンス（通常50 Ω）と整合させることです。図16に、eGaN FETのゲートでの簡単なLCインピーダンス整合ネットワークのLTSPICE回路図を示します。このネットワークは、降圧トランスとして機能し、デバイス側の電圧を低くし、電流を大きくします。この例では、部品の値は、500 MHzで50 Ωが得られるように選択されています。このFETは1ポートのネットワークとして扱われ、ソースとドレインが結合され、ゲートが直流2.2 Vでバイアスされます。

図の下部に、入力インピーダンスの位相と大きさが周波数の関数としてプロットさ

れています。図から分かるように、LC部分は500 MHz (50 Ω実数) で良好な整合を提供しますが、周波数に対する性能はやや狭帯域です。このインピーダンスのデータは、SPICE ネットリストの指示「.net」を呼び出して生成されました。1ポート・ネットワークの場合、これは、SPICEに、ポートに接続された独立した電圧源（「V_{GS}」）を基準とした入力インピーダンス(またはアドミタンス)を計算するように指示します。2ポート・ネットワークのSパラメータの計算にも使えます。

同じインピーダンスのデータは、図16の右上のスミス・チャートにも示しました。青色のトレースは、400~600 MHzの周波数範



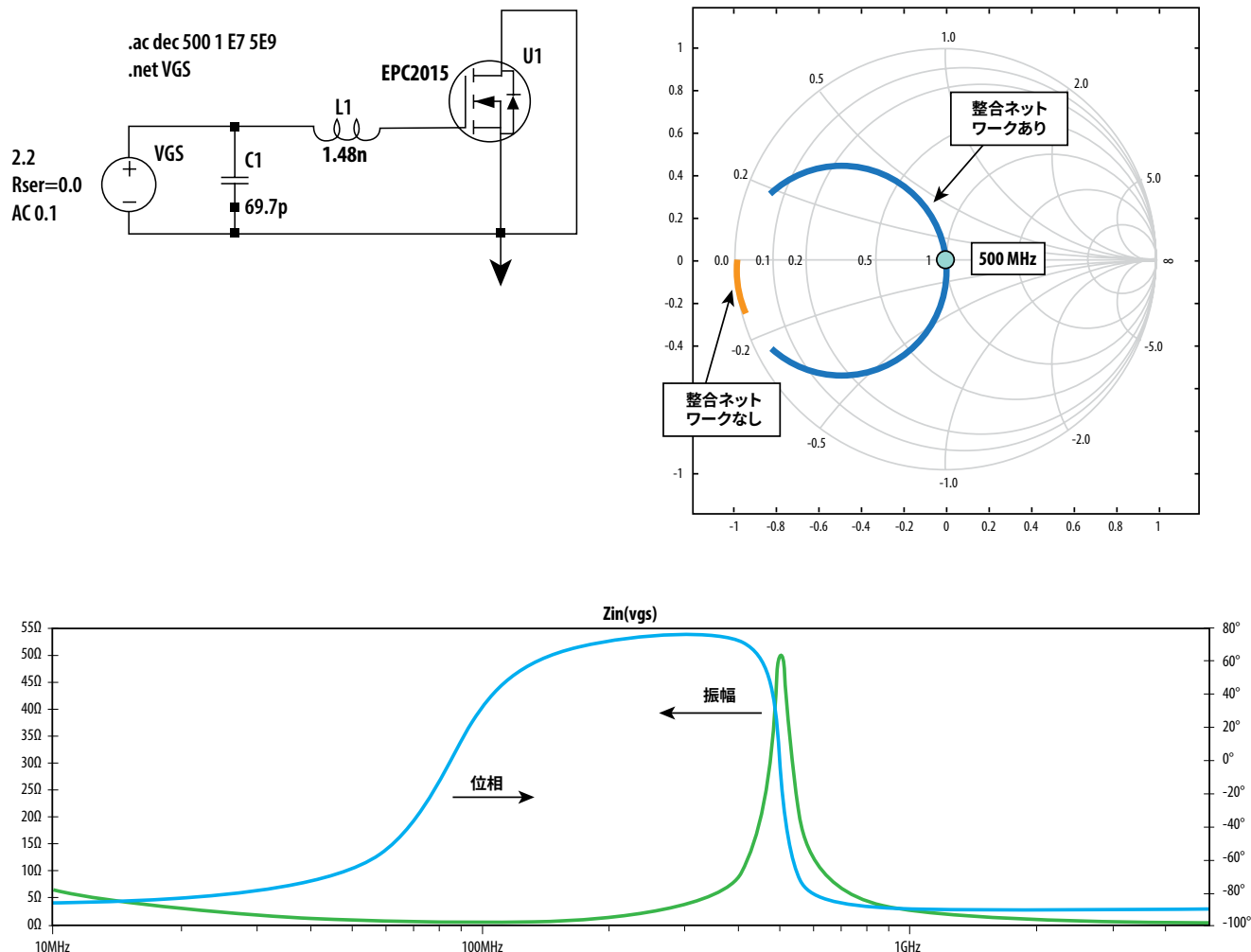


図16: (左上図) ゲート・インピーダンス整合のシミュレーションの回路図。
 (下図) 500 MHzに調整された整合ネットワークでゲートを調べたときの入力インピーダンス (振幅と位相) 対周波数。
 (右上図) 整合ネットワークがある場合と、ない場合の両方のゲート入力インピーダンスのスミス・チャート。

結論

困にわたるゲート整合ネットワークを備えたFETに対応しています。入力インピーダンスは、500 MHzで50 Ω (スミス・チャートの中央) と交差します。オレンジ色のトレースは、整合ネットワークがないFETです。図から分かるように、FETのゲート容量 (約1 nF) によって、この周波数範囲ではインピーダンスが非常に低くなっています (図の左側)。スミス・チャートは、LTSPICEからエクスポートされたデータを使って生成しました。インピーダンス、アドミタンス、反射係数 (S11) はすべて、他の分析ソフトウェアに簡単にインポートできる表形式のテキスト・ファイルにエクスポートできます。

EPCのエンハンスメント・モードeGaN®デバイスに対するデバイス・シミュレーションは、デバイスとモデルのいくつかのユニークな特徴を強調すると同時に、利用可能なモデルの基本的な理解に焦点を当てて説明しました。モデルの要素が示され、必要に応じて、ユーザーが標準のSiモデルとの違いを理解することに役立つように、基礎となるデバイスの形状と機能を説明しました。開発の初期段階ですが、これまでのモデルは、EPCのデバイスの基本的な回路特性を再現するために適しています。浮遊インダクタンスとシミュレーション設定の影響を示すために、数種の回路モデルを例として使いました。浮遊インダクタンスは、回

路の発振に大きく影響することが分かっており、デバイスのシミュレーションやプリント回路基板のレイアウト時に考慮する必要があります。ソフト・スタートのアプローチは、シミュレーション結果の精度を向上させることが示されており、シミュレーション・プログラムに組み込む必要があります。シミュレーションされた回路特性と測定された回路特性との比較が数種の回路で示され、定性的な精度が得られました。

付録A: デバイス EPC2001 の LTSPICE ネットリスト

この付録には、FET (EPC2001) の LTSPICE 回路モデルのネットリストが含まれています。一部の構文は LTSPICE に固有のもので、モデルは元の Berkley 版 SPICE と非常によく似た言語で実装されています。EPC によって提供されるすべてのデバイス・モデル (LTSPICE、PSPICE、TSPICE、Spectre) は同じ数学モデルを共有し、構文は以下のリストと非常によく似ています。ほとんどの場合、これらのモデルは、他の SPICE シミュレーション・パッケージに比較的簡単に移植できます。

* ソース EPC2001DEV1

```
.subckt EPC2001 gatein drainin sourcein
.param aWg=1077 A1=41.7998 k2=2.259866e+000 k3=1.2e-001 rpara=4.463059e-003
+ alTc=5.486028e-003 arTc=-4.699671e-003 ax0Tc=0.75E-4 x0_0=-0.75 x0_1=1.10
+ dgs1=4.3e-7 dgs2=2.6e-13 dgs3=.8 dgs4=.23
+ ags1=8.6952e-010 ags2=5.3168e-010 ags3=1.9975e+000 ags4=2.8377e-001
+ ags5=-1.4751e-010 ags6=-7.5163e+000 ags7=7.2121e+000
+ agd1=1.4182e-011 agd2=2.1475e-010 agd3=-3.8030e+000 agd4=5.9551e+000
+ asd1=3.3621e-010 asd2=6.3080e-010 asd3=-1.2803e+001 asd4=2.2690e+000
+ asd5=2.5818e-010 asd6=-4.0599e+001 asd7=2.0638e+001
```

* ドレイン、ソース、ゲートの寄生抵抗

```
rd drainin drain {(0.75*rpara)}
rs sourcein source {(0.25*rpara)}
rg gatein gate {(.6*1077/aWg)}
```

* 収束用抵抗 (直流動作点を確立)

```
Rcsdconv drain source {100000Meg/aWg}
Rcgsconv gate source {100000Meg/aWg}
Rcgdconv gate drain {100000Meg/aWg}
```

* 電圧制御型電流源: FET の主出力特性

```
bswitch drain source I=if(v(drain,source)>0,
+ (A1*(1-alTc*(Temp-25))*log(1.0+exp((v(gate,source)-k2)/k3))*
+ v(drain,source)/(1 + max((x0_0+x0_1*v(gate,source)))/(1+ax0Tc*(Temp-25)*(Temp-25)),0.5)*v(drain,source)),
+ (-A1*(1-arTc*(Temp-25))*log(1.0+exp((v(gate,drain)-k2)/k3))*
+ v(source,drain)/(1 + max((x0_0+x0_1*v(gate,drain)))/(1+ax0Tc*(Temp-25)*(Temp-25)),0.5)*v(source,drain)))
```

* ゲートからソースへの寄生の漏れ (非線形電圧制御型電流源)

```
bgsdiode gate source I=if( v(gate,source)>10,
+ (0.5*aWg/1077*(dgs1*(exp((10.0)/dgs3)-1)+dgs2*(exp((10.0)/dgs4)-1))),
+ (0.5*aWg/1077*(dgs1*(exp((v(gate,source))/dgs3)-1)+dgs2*(exp((v(gate,source))/dgs4)-1))) )
```

* ゲートからドレインへの寄生の漏れ (非線形電圧制御型電流源)

```
bgddiode gate drain I=if( v(gate,drain)>10,
+ (0.5*aWg/1077*(dgs1*(exp((10.0)/dgs3)-1)+dgs2*(exp((10.0)/dgs4)-1))),
+ (0.5*aWg/1077*(dgs1*(exp((v(gate,drain))/dgs3)-1)+dgs2*(exp((v(gate,drain))/dgs4)-1))) )
```

* ゲートからソースへの容量: 非線形動作の電荷源と並列接続した固定コンデンサ

```
C_GS gate source {ags1} TC=0,0
C_CGS1 gate source Q=(0.5*ags2*ags4*log(1+exp((v(gate,source)-ags3)/ags4))+
+ ags5*ags7*log(1+exp((v(source,drain)-ags6)/ags7)))
```

* ゲートからドレインへの容量: 非線形動作の電荷源と並列接続した固定コンデンサ

```
C_GD gate drain {agd1} TC=0,0
C_CGD1 gate drain Q=(0.5*ags2*ags4*log(1+exp((v(gate,drain)-ags3)/ags4))+
+ agd2*agd4*log(1+exp((v(gate,drain)-agd3)/agd4)))
```

* ソースからドレインへの容量: 非線形動作の電荷源と並列接続した固定コンデンサ

```
C_SD source drain {asd1} TC=0,0
C_CSD1 source drain Q=(asd2*asd4*log(1+exp((v(source,drain)-asd3)/asd4))+
+ asd5*asd7*log(1+exp((v(source,drain)-asd6)/asd7)))
```

```
.ends
```

付録B:EPCデバイスのモデルの使用:いくつかの経験則

EPCのSPICEモデルの一部のユーザーは、収束と安定性に関する問題を報告しています。これらの問題のいくつかは、プラットフォームに依存しますが、それらは一般に、eGaNデバイスの高いトランスコンダクタンス利得 (g_m) に関連しています。高利得が実際の回路で発振を引き起こす可能性があると同様に、シミュレーションした回路でも不安定を引き起こす可能性があります。以下は、収束の問題に対処するための実用的な経験則のリストです。

1. 過渡解析では、最初にFETがオフ状態にあることを確認します(すなわち $V_{GS} \leq 0$)。
 - a. これは、いずれかのFETが起動時に大きな(過渡的な)ドレイン-ソース間電圧になる場合に特に重要です。
2. SPICEが時間領域シミュレーションの最初に対応する直流動作点(電圧と電流)に収束することを確認します。
 - a. そこで収束しない場合は、電圧を変えてみてください。例えば、すべての電圧源と電流源をゼロに設定すると、収束につながるはずですが、そこから、不具合の箇所が見つかるまで、電圧源/電流源を順番にオンに戻します。
3. 可能な限り、電圧源/電流源の急激な(瞬間的な)変化を避ける。
 - a. 一般的な不具合は、方形波のゲート駆動信号です。
 - b. 急激なゲート遷移を線形ランプ(有限のスルーレート)に置き換えます。
 - c. まず、スルーレートを低く設定します。収束の問題がない場合は、所望のゲート駆動特性が得られるまで、繰り返しスルーレートを上げていきます。
4. 最後の手段として、時間ステップを非常に小さい数値に設定してみてください。
 - a. ほとんどのSPICEプラットフォームでは、ユーザーは固定(または最大)の時間ステップを指定できます。
 - b. 一般に、回路シミュレータは、次の時間ステップの収束開始点として現在の解を使います。時間ステップが小さいために、外部刺激があまり変化しない場合、このシミュレータは、より良い解を見つけることができます。
 - c. ここでも再び、非常に小さなステップ(例: 10 ps)から始めて、収束の問題が発生し始めるまで徐々に増やしながら、反復的なアプローチを採用します。
5. 分割と統合: 大きく複雑な回路を小さなサブ回路に分割します。収束の問題の原因を分離するために、各サブ回路を個別にテストします。
6. リアリティ・チェック: 多くの場合、収束の問題は回路設計の見落としが原因で発生します。
 - a. 例として、eGaN FETを現実的には存続できない電圧レベルや電流レベルで駆動する回路があります。
 - b. FETの端子での電圧レベルおよび電流レベルのチェック
 - c. 一般的な回路の誤りには次のものがあります:
 - i. ゲートの過度に高い順バイアス。ゲートは、ソースまたはドレインのいずれかよりも6V以上の正であってははいけません。
 - ii. 過剰なソース-ドレイン間電圧。 V_{DS} が仕様の制限を超えていないことを確認してください。
 - iii. 過剰なドレイン電流。数100 Aの連続電流は、回路設計の誤りを示します。

付録C: LTSPICE モデルをダウンロードして実行するための詳細な手順

EPCのSPICEモデルの一部のユーザーは、収束と安定性に関する問題を報告しています。これらの問題のいくつかはプラットフォームに依存しますが、それらは一般に、eGaNデバイスの高い相互コンダクタンス利得 (g_m) に関連しています。高い利得が実際の回路で発振を引き起こす可能性があると同じように、シミュレーションした回路でも不安定を引き起こす可能性があります。以下は、収束の問題に対処するための実用的な経験則のリストです。

1. ウェブからEPCのLTSPICEモデル・ライブラリーをダウンロードします。
 - a. <http://epc-co.com/epc/ToolsandDesignSupport/DeviceModels.aspx>
2. 圧縮フォルダを解凍します。このフォルダには3つのファイルがあります。
 - a. EPCGanLibrary.lib: すべてのEPCの部品のデバイス・モデルを含むライブラリー。
 - b. EPCGaN.asy: EPCのFETの一般的な部品シンボル。
 - c. Example EPC1001.asc: eGaNデバイスを使ったサンプル回路を含むLTSPICE回路図のキャプチャ・ファイル。
3. LTSPICEを起動し、新しい回路図を開きます (File->New Schematic)。
4. (空の)回路図を保存します。
5. ライブラリー (EPCGanLibrary.lib) とシンボル (EPCGaN.asy) を、あなたの回路図 (.asc) と同じディレクトリーに移動します。
6. LTSPICEで、次の項目を選択します: Edit->Component
 - a. 表示されるダイアログ・ボックスで、Top Directoryを、回路図を含むディレクトリーに変更します。
 - b. 以下のリストで、EPCGaNを選択します。これによって、一般的なeGaN FETシンボルを選択します。
 - c. シンボルを回路図に配置します。
7. このシンボルは、モデル・ライブラリーのすべてのeGaN部品に適用されます
 - a. デフォルトでは、部品EPC1001に設定されています
 - b. このシンボルに関連付けられている部品モデルを変更するには、シンボルを右クリックします
 - i. “Value”で、EPC1001をライブラリー内の他の部品 (EPC2015 など) に変更します
 - ii. OKをクリックします。
8. この時点で、あなたの回路を完成させれば、シミュレーションを開始する準備ができています

注: ファイルを作業ディレクトリーに移動する代わりに、このファイルをLTSPICEの永続検索経路の一部であるフォルダにコピーできます。このようにすれば、シンボルとモデルは、グローバルに利用可能になります。シンボル (EPCGaN.asy) は、メインのLTSPICEディレクトリーのlib\symサブフォルダにコピーする必要があります。モデル・ライブラリー (EPCGanLibrary.lib) をlib\サブフォルダにコピーしなければなりません。

付録D:Gearの後退差分式(BDF)法

過渡解析のT-SPICEの代替方法には、Gearの後退差分式(BDF: backward differentiation formulas)を使います。この方法では、KCL方程式の電荷の時間微分は、最後のいくつかの時点での解を含む近似に置き換えられます。1次BDF法は、以前の1つの時点のみを使い、よく知られている後退オイラー法と同等です。この方法では、離散化誤差は、ステップ・サイズの線形関数です。2次の方法では、以前の2つの時点を使い、その離散化誤差は、(小さい時間ステップ・サイズの場合)時間ステップ・サイズの2乗に比例します。一般に、 k 次のBDF法は、 k 個の以前の時点を使います。

T-SPICEは、BDF法の変数ステップ・サイズ、可変順序、可変係数の実装を使います。T-SPICEは、時間ステップ・サイズとBDFの次数(1と4の間)を自動的に調整して、指定された許容誤差を満たすために必要な時間ステップの数を最小限に抑えます。使われた最大次数は、maxordオプションで調整できます。可変係数の実装は、特に頻繁に変化する時間ステップ・サイズで特性の最高の安定性を提供するために、固定係数や固定主係数法ではなく、これを選択しました。各時間ステップで、BDFの離散化によって、方程式の非線形システム(KCLを表す)が生成され、上記のように繰り返し解かれます。反復が成功すると、離散化誤差が調べられます(明示的な予測子との比較に

よる)。例えば、次数1の場合、フォワード・オイラー予測子と計算されたBDF(バックワード・オイラー)解との差が、離散化誤差の限界を提供します。この誤差が所定の許容範囲(charge tolおよびrelcharge tolによって定義される)内にある場合、このステップは受理され、誤差は、次の時間ステップのステップ・サイズを調整するために使われます。誤差が大きすぎる場合、時間ステップは拒否され、より小さいステップ・サイズで再試行されます。これによって、より安定した数値解に近づく答えが生成されます。高周波リングと長いシミュレーション期間がしばしば発生するという事実によって、Gear積分は、しばしば電源回路シミュレーションに対して優れた結果を生成します。

¹ MOSFET Modeling for Circuit Analysis and Design, Galup-Montoro and Schneider, World Scientific Publishing 2007 ISBN 9812568107

² Analysis Through Numerical Solution of Poisson's Equation, Schroeder, J. E., Muller, R.S. IEEE Trans. Elect. Devices ED-15 No12, pg954 (1968)

³ Mosfet Modeling for VLSI Simulation: Theory and Practice, Narain Arora, World Scientific (2007) ISBN 981256862

⁴ Spice model of AlGaIn/GaN MODFETs and simulation of VCO and power amplifier, Syed S. Islam and A.F.M. Anwar, International J. of High Speed Electronics and Systems, V14 (3), pp853 (2004)

⁵ An accurate charge control model for spontaneous and piezoelectric polarization dependent two-dimensional electron gas sheet charge density of lattice mismatched AlGaIn/GaN MODFETs, Rashmi, Abhinav Kranti, S. Haldar, and R.S. Gupta, Solid-State Electronics, V46, p621, (2002)